

P23

②

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-251752

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

H05K 3/46

H05K 3/34

(21)Application number : 10-367908

(71)Applicant : IBIDEN CO LTD

(22)Date of filing : 24.12.1998

(72)Inventor : SHIRAI SEIJI
SHIMADA KENICHI
ASAI MOTOO

(30)Priority

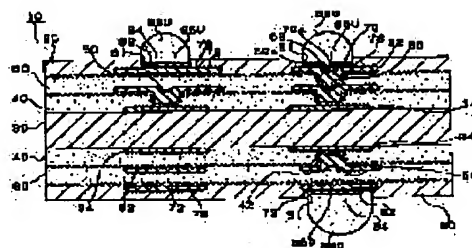
Priority number : 09369244 Priority date : 29.12.1997 Priority country : JP

(54) MULTILAYERED PRINTED WIRING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multilayered printed wiring board in which the reliability of connection of solder bump is excellent.

SOLUTION: The opening 62 of an interlayer resin insulation layer 60 on the outermost layer is filled with plating and a via hole 70 is formed, and the surface of the via hole 70 is formed high the same as a conductor circuit 72 in which a solder bump is formed. Therefore, the same quantity of solder paste is printed on the via hole 70 and conductor circuit 72 so as to make a solder bump 88U to be formed in the via hole 70 to be high the same as a solder bump 88U to be formed in the conductor circuit 72. Thus, the reliability of connection between the solder pad of an IC chip and solder bump 88U of the multilayered printed wiring board 10 can be improved at the time of mounting the IC chip.



* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A multilayer printed wiring board which laminates a resin insulating layer between layers characterized by comprising the following, and a conductor circuit by turns.

A solder bump formed on a conductor circuit allocated on a resin insulating layer between layers of the outermost layer.

A solder bump formed on a viahole which an opening drilled in a resin insulating layer between layers of this outermost layer is filled up with metal, and changes.

[Claim 2]A multilayer printed wiring board characterized by coming to form a solder bump on a viahole which an opening drilled in a resin insulating layer between layers is filled up with metal in a multilayer printed wiring board which laminates a resin insulating layer between layers, and a conductor circuit by turns, and changes.

[Claim 3]The multilayer printed wiring board according to claim 1 or 2, wherein a hollow is formed in a center section of said viahole.

[Claim 4]A multilayer printed wiring board given in any 1 of claims 1-3, wherein roughening treatment of the side of an opening of a resin insulating layer between said layers is carried out.

[Claim 5]A multilayer printed wiring board of any one statement of claim 1-4, wherein roughening treatment of the surface of said viahole and said conductor circuit is carried out.

[Claim 6]The multilayer printed wiring board according to any one of claims 1 to 4, wherein a metal layer which has a precious-metals layer on the surface at least is formed in the surface of said viahole and a solder bump is formed on these precious metals.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the multilayer printed wiring board with which a solder bump is allocated in the surface.

[0002]

[Description of the Prior Art]In order to take connection electrically with electronic parts, such as an IC chip laid, the spherical projection of the solder called a solder bump is allocated in the surface of printed wired boards, such as a package substrate. This solder bump is formed on the conductor circuit of a substrate face, and also he may be directly formed in a viahole from the purposes, such as raising a degree of location. The art which forms a solder bump in this viahole is indicated by JP,8-335781,A.

[0003]Formation of the solder bump to this printed wired board is explained with reference to drawing 10. Drawing 10 (A) shows the section of the multilayer printed wiring board 310 concerning conventional technology. This multilayer printed wiring board makes two or more resin insulating layers 140,160 between layers placed between the upper layers and the lower layers of the core substrate 130, and forms the conductor circuits 134,152 and 172. The opening 162 for viaholes is drilled in the resin insulating layer 160 between layers of the outermost layer, and the viahole 170 which becomes this opening 162 from coppering is formed in it.And connection with the lower layer conductor circuit 152 of the resin insulating layer 160 between layers is taken by this viahole 170. The plating resist 180 in which the opening 181 of the prescribed diameter was drilled is formed in the resin insulating layer 160 between layers of the outermost layer.

[0004]Here, when forming a solder bump in this multilayer printed wiring board 310, as shown in drawing 10 (B), the metal mask 198 is laid in the multilayer printed wiring board 310, and soldering paste is printed to each openings 181, 181, and 181 of the plating resist 180. Here, this metal mask 198 is made to correspond to each position of the opening 181 of the plating resist 180, and the openings 198a and 198b are formed. Here, the opening 198b made to correspond to the viahole 170 is relatively formed in a major diameter, and the opening 198a made to correspond to the conductor circuit 172 is relatively formed in the byway on the contrary. It enables it to have printed more soldering paste to the viahole 170 side by this.

[0005]After printing soldering paste, by making a heating furnace pass the multilayer printed wiring board 310, a reflow of the soldering paste is carried out, and as shown in drawing 10 (C), the solder bump 188 is completed. Then, the flux which flowed out of solder at the time of a reflow is washed. And as shown in drawing 10 (D), to the multilayer printed wiring board 310 IC chip 190, It lays so that the soldering pads 192 of this IC chip 190 may correspond with the solder bump 188 of the multilayer printed wiring board 310 side, and these soldering pads 188 are fused by passing a heating furnace, and the electrical connection of the multilayer printed wiring board 310 and IC chip 190 is taken. Then, the flux which flowed out of solder at the time of a reflow is washed.

[0006]

[Problem(s) to be Solved by the Invention]However, in the multilayer printed wiring board mentioned above, connection with an IC chip might be unable to be taken properly. Namely, since it is difficult to make the same the solder bump's 188 height h1 formed on the concave viahole 170, and the solder bump's 188 height h2 formed on the plate-like conductor circuit 172 as shown in drawing 10 (C), As shown in drawing 10 (D), either of the soldering pads 188 by the side of the multilayer printed wiring

board 310 might be unable to connect with the soldering pads 192 by the side of IC chip 190 appropriately.

[0007]As mentioned above with reference to drawing 10 (B), since it was necessary to make the openings 198a and 198b from which a path differs correspond to each position of the opening 181 of the plating resist 180 and the metal mask needed to drill them, it was difficult to adjust. As mentioned above, in order to form a solder bump, after carrying out a reflow of the solder, and after making connection between this solder bump and the soldering pads of an IC chip by a reflow, it is necessary to wash the flux which came out of solder. however, the thing which the quantity of the flux which the quantity of solder increases and oozes increases, and is thoroughly washed in order to make it filled up with solder into the viahole 170 --- having been hard . For this reason, flux might remain and after pure might become causes, such as a short circuit of wiring. On the occasion of the above-mentioned reflow, curvature might occur in the multilayer printed wiring board 310, and the mounting reliability between IC chips 90 might fall.

[0008]this invention is made in order to solve the technical problem mentioned above, and it comes out. The purpose is to provide the multilayer printed wiring board excellent in the connection reliability of **.

[0009]

[Means for Solving the Problem]In a multilayer printed wiring board with which this invention laminates a resin insulating layer between layers, and a conductor circuit by turns in order to attain the purpose mentioned above, It makes into a technical feature to have a solder bump formed on a viahole which a solder bump formed on a conductor circuit allocated on a resin insulating layer between layers of the outermost layer and an opening drilled in a resin insulating layer between layers of this outermost layer are filled up with metal, and changes.

[0010]In this invention, it is filling up an opening with metal (plating), and is made equal to height of a conductor circuit in which a solder bump is formed in height of the surface of a viahole. Therefore, height of a solder bump formed in the viahole concerned and a solder bump formed in a conductor circuit can be made equal by printing tales doses of soldering paste to a viahole and a conductor circuit. For this reason, a solder bump's connection reliability can be improved.

[0011]A multilayer printed wiring board characterized by coming to form a solder bump in a multilayer printed wiring board with which this invention laminates a resin insulating layer between layers, and a conductor circuit by turns on a viahole which an opening drilled in a resin insulating layer between layers is filled up with metal, and changes in order to attain the purpose mentioned above.

[0012]In this invention, it is filling up an opening with metal and all height of the surface of a viahole is made equal. Therefore, all a solder bump's height formed in the viahole concerned can be made equal by printing soldering paste. For this reason, a solder bump's connection reliability can be improved.

[0013]In a suitable mode of this invention, since a hollow is formed in a center section of the viahole, a viahole and a solder bump can be connected firmly and a solder bump's connection reliability can be improved. As such a hollow, it is desirable that it is the thickness range of a conductor circuit (namely, range to which a hollow does not reach an opening), and, specifically, it is 0.5-30 micrometers.

[0014]In a suitable mode of this invention, since roughening treatment of the side of an opening of a resin insulating layer between layers is carried out, adhesion with a viahole formed in this opening can be improved.

[0015]In a suitable mode of this invention, since roughening treatment of the surface of a viahole and a conductor circuit is carried out, adhesion between formation **** solder bumps can be improved on this viahole and a conductor circuit.

[0016]In a suitable mode of this invention, since a solder bump is formed in the viahole surface filled up with plating via the precious metals, an oxide layer is not formed between the viahole surface and a solder bump who consist of copper etc., but the adhesion of a viahole and a solder bump can be improved.

[0017]

[Embodiment of the Invention]The composition of the multilayer printed wiring board concerning a 1st embodiment of this invention is explained with reference to drawing 6 (U) and drawing 7. Drawing 7 shows the section of a multilayer printed wiring board, and drawing 6 (U) attaches IC chip 90 to this

multilayer printed wiring board 10, and shows the state where it laid in the mother board 95 side. The multilayer printed wiring board 10 shown in drawing 6 (U), The solder bump 88U for connecting with the upper surface at the vamp 92 side of IC chip 90 is formed, The solder bump 88D for connecting with the vamp 96 of the mother board 95 is allocated in the undersurface side, and it is constituted as a package substrate which plays the role of delivery of the signal between these IC chip 90-mother boards 95, etc.

[0018]As shown in drawing 7, the inner layer copper patterns 34 and 34 used as a ground layer are formed in the upper surface side upper layer of the core substrate 30 of the multilayer printed wiring board 10, and the undersurface side upper layer (here, centering on the substrate 30, the upper part is meant about the upper surface and the upper layer means the bottom about the undersurface of a substrate). The conductor circuit 52 which makes the resin insulating layer 40 between lower layer layers intervene, and forms a signal wire, and this resin insulating layer 40 between layers are penetrated in the upper layer of the inner layer copper pattern 34, and the lower layer viahole 50 is formed in it. The upper viahole 70 which fills up with copper plating the opening 62 formed in the conductor circuit 72 of the outermost layer and this resin insulating layer 60 between outermost layer layers via the resin insulating layer 60 between outermost layer layers is formed in the upper layer of the lower layer viahole 50 and the conductor circuit 52.

[0019]The soldering pads 86U which support the solder bump 88U are formed in this conductor circuit 72 by the side of the upper surface, and the upper viahole 70. Here, the soldering pads 86U by the side of an IC chip are formed in 133 micrometers in diameter. On the other hand, the soldering pads 86D which support the solder bump 88D are formed in this conductor circuit 72 by the side of the undersurface, and the upper viahole (not shown). Here, the soldering pads 86D by the side of a mother board are formed in 600 micrometers in diameter. These solder bumps 88U and 88D are formed in the opening (pat part) 81 of the solder resist 80.

[0020]In the multilayer printed wiring board of a 1st embodiment, the opening 62 of the resin insulating layer 60 between layers of the outermost layer is filled up with plating, and the viahole 70 is formed. For this reason, unlike the concave viahole 170 of the multilayer printed wiring board which requires the viahole 70 for the conventional technology mentioned above with reference to drawing 10 (A), surface height is equal to the height of the conductor circuit 72 in which a solder bump is formed. For this reason, the height of the solder bump 88U formed in the viahole 70 concerned and the solder bump 88U formed in the conductor circuit 72 can be made equal by printing tales doses of soldering paste to the viahole 70 and the conductor circuit 72 so that it may mention later. For this reason, as shown in drawing 6 (U), when laying IC chip 90, the connection reliability of the soldering pads 92 of this IC chip and the solder bump 88U of the multilayer printed wiring board 10 can be improved.

[0021]Since the 10-micrometer-deep hollow 70a is formed in the center section of the viahole 70, the connection reliability of the viahole 70 and the solder bump 88U can be improved. Since the roughened layer 78 is especially formed vertically to the curved surface of this hollow 70a, Both can be firmly connected to the stress added between the viahole 70 and the solder bump 88 accompanying the rise in heat of IC chip 90, and the connection reliability of the viahole 70 and the solder bump 88U can be improved. Here, the depth of the hollow 70a does not result in the opening 62 drilled in the resin insulating layer 60 between the upper layers, but is the thickness range of a conductor circuit. Therefore, it is the range of 0.5-15 micrometers. On the other hand, since roughening treatment of the side 62a of the opening 62 of the resin insulating layer 60 between outermost layer layers is carried out as shown in a figure, it can improve adhesion with the viahole 70 formed in this opening 62.

[0022]Between the viahole 70 which consists of copper, and the resin insulating layer 60 between outermost layer layers which consists of resin in which this viahole 70 was formed, big stress is added from the difference in both coefficient of thermal expansion in the case of heat contraction. For this reason, in this multilayer printed wiring board 10, it is using the complex of the high thermoplastics and thermosetting resin of toughness for the resin insulating layer 60 between outermost layer layers, and generating of the crack by this stress is prevented. Here, although the complex of thermoplastics and thermosetting resin is used, it is also possible to mainly use thermoplastics, such as a high fluoro-resin of toughness, instead, and to form the resin insulating layer 60 between outermost layer layers in it.

[0023] Roughening treatment of the surface of the conductor circuit 72 is carried out, and since the roughened layer 78 is formed, it can improve the adhesion between the solder bumps 88U formed on the conductor circuit 72. The viahole 70 and copper plating which are filled up with copper plating on the surface of the ***** conductor circuit 72. Since the nickel plating layer 82 and the gold plating layer (precious-metals layer) 84 are formed and the solder bump 88U is formed via this gold plating layer 84, An oxide layer is not formed between the viahole 70 and the conductor circuit 72 surface which consist of copper etc., and the solder bump 88U, but the adhesion of a viahole and a conductor circuit, and a solder bump can be improved. Since the solder resist 80 has covered the viahole 70 and the conductor circuit 72 except for the soldering-pads 86U formation part, this solder resist 80 protects the viahole 70 and the conductor circuit 72, and it is raising the intensity of the whole substrate. In the explanation mentioned above, although the solder bump 88U of the upper surface side of the multilayer printed wiring board 10 was explained, it is similarly formed about the lower solder bump 88D.

[0024] Then, the manufacturing process of the package substrate shown in drawing 7 is explained with reference to drawing 1 - drawing 6.

(1) Let copper clad laminate 30A which the 18-micrometer copper foil 32 laminates to both sides of the core substrate 30 which consists of 1-mm-thick BT (bismaleimide triazine) resin or glass epoxy resin be a charge of a start material (refer to drawing 1 (A)). First, the inner layer copper pattern (conductor circuit) 34 is formed in both sides of the substrate 30 by etching this copper clad laminate 30A into pattern state (refer to drawing 1 (B)).

[0025] After washing in cold water the substrate 30 in which the inner layer copper pattern 34 was formed and drying, 8 g/l of copper sulfate, 0.6 g/l of nickel sulfate, 15 g/l of citrate, It is immersed in the electroless plating liquid of pH=9 which consists of 29 g/l of sodium hypophosphite, 31 g/l of boric acid, and 0.1 g/l of surface-active agents, and the roughened layer 38 which consists of 3-micrometer-thick copper-nickel phosphorus is formed in the surface of this inner layer copper pattern 34 (refer to drawing 1 (C)). The substrate 30 is washed in cold water, it is immersed in the unelectrolyzed tin substitution plating bath which consists of 0.1 mol/l Howe fluoridation ****- 1.0 mol/l thiourea liquid at 50 ** for 1 hour, and a 0.3-micrometer Sn layer (not shown) is provided in the roughened layer surface.

[0026] (2) Here, prepare the adhesives for nonelectrolytic plating which form the resin insulating layer between layers. Here, the acrylic ghost of ** cresol novolak type epoxy resin (Nippon Kayaku make: molecular weight 2500) 25% 35 weight sections (80% of solid content), Agitation mixing of the 3.6 weight sections is carried out for photosensitive monomer (Toagosei make: trade name ARONIKKUSU M315) 4 weight section, defoaming agent (Sannopuko S-65) 0.5 weight section, and NMP.

** Add and carry out agitation mixing of the NMP20 weight section further after mixing the thing with a mean particle diameter of 0.5 micrometer of an epoxy resin particle (Mitsubishi transformation make trade name polymer pole) as thermoplastics and mixing 7.245 weight sections as polyether sulphone (PES) 8 weight section and thermosetting resin.

** Carry out agitation mixing of the amount part of imidazole hardening agent (made in Shikoku Chemicals: trade name 2E4 MZ-CN) duplexs, the amount part of photoinitiator (Ciba-Geigy IRGACURE -907) duplexs, photosensitizer (Nippon Kayaku make: DETX-S) 0.2 weight section, and the NMP1.5 weight section.

** from — carry out the agitation mix of the ** and obtain the adhesives for nonelectrolytic plating.

[0027] After applying the adhesives for nonelectrolytic plating of (3) and (1) to the substrate 30 of (2) in one RORUKO evening and neglecting it for 20 minutes by a horizontal state, desiccation for 30 minutes (prebaking) is performed at 60 **, and the resin insulating layer 40 between layers is formed (refer to drawing 1 (D)).

[0028] The photomask film in which the black spot of the prescribed diameter was printed is stuck to both sides of the substrate 30 in which the resin insulating layer 40 between lower layer layers was formed, and it exposes by 500 mJ/cm² with an ultrahigh pressure mercury lamp. By carrying out spray development of this with a DMDG solution, exposing the substrate concerned by 3000 mJ/cm² with an ultrahigh pressure mercury lamp, and carrying out heat-treatment (postbake) of 5 hours at 150 ** after that at 100 ** further, for 1 hour, The resin insulating layer 40 with a thickness of 20 micrometers which has an opening (the opening 42 for viahole formation: 61 micrometers of partes basilaris ossis occipitalis, 67 micrometers of upper parts) of 60 micrometerphi excellent in the

dimensional accuracy equivalent to a photomask film between layers is formed (refer to drawing 2 (E)).

[0029](4) Form depth a roughened surface of 4 micrometers in the surface of this resin insulating layer 40 between layers by immersing the substrate 30 with which the opening 42 was formed in chromic acid for 2 minutes, and carrying out dissolution removal of the epoxy resin particle of the surface of the resin insulating layer 40 between layers. This roughened surface is similarly formed to the side 42a of opening 42 inside (refer to drawing 2 (F)). Then, after being immersed in a neutralized solution (made by SHIPUREI), it washes in cold water. A catalyst core is attached to the surface of the resin insulating layer 40 between layers, and the internal surface of the opening 42 for viaholes by giving a palladium catalyst (product made from ATOTEKKU) to the surface of this substrate that carried out the surface roughening process.

[0030](5) A substrate is immersed during the non-electrolytic copper plating bath of the following presentations, and form the 0.6-micrometer-thick non-electrolytic copper plating film 44 in the whole split face (refer to drawing 2 (G)).

[Electroless plating liquid]

EDTA 150 g/l copper sulfate 20 g/IHCHO 30 ml/INaOH 40 g/lalpha and alpha'-bipyridyl 80 mg/IPEG 0.1 g/l [0031](6) By 100 mJ/cm², by exposure and 0.8% sodium carbonate, stick a commercial photosensitive dry film on the non-electrolytic copper plating film 44 formed above (5), lay a mask, carry out a development, and at 15 micrometers in thickness. last shipment=25 / 25-micrometer plating resist 46 is formed (refer to drawing 2 (H)).

[0032](7) Subsequently, electrolytic copper plating is performed to a resist agensis portion on condition of the following, the 20-micrometer-thick electrolytic copper plating film 48 is deposited, and it is filled up with the inside of the opening 42 with this plating film (refer to drawing 3 (I)).

liquid condition: -- copper sulfate and 5 hydrate 60 g/l sulfuric acid . 190 g/l chloride ion 40ppm leveling agent (HL made from ATOTEKKU) 40 ml/l brightening agent (UV made from ATOTEKKU)

0.5 ml/l operating condition: -- bubbling A part for 3.00l./ Current density 0.5 A/dm² set current value . 0.18A Plating time, although filled up with this embodiment with plating, conductive paste can also be filled up with it for 100 minutes instead of being plating. As conductive paste, the Tatsuta Electric Wire & Cable DD paste (AE16001) etc. are mentioned.

[0033](8) After carrying out the strip of the plating resist 46 by KOH 5%, carry out the etching process of the electroless plating film 44 under the plating resist 46 with the mixed liquor of sulfuric acid and hydrogen peroxide, and dissolution removal is carried out, The conductor circuit 52 about 15 micrometers thick and the viahole 50 which consist of the electroless plating film 44 and the electrolytic copper plating film 48 are formed (refer to drawing 3 (J)).

[0034](9) Form the roughened layer 58 like the above (2) to the conductor circuit 52 and the viahole 50 of the substrate 30 succeedingly (refer to drawing 3 (K)).

[0035](10) The above (2) By repeating the process of - (8), the upper conductor circuit is formed further. That is, the adhesives for nonelectrolytic plating are applied, after neglecting it to both sides of the substrate 30 by a horizontal state, it dries to them, and a photomask film is stuck to them after that, negatives are exposed and developed, and the resin insulating layer 60 with a thickness of 20 micrometers which has the opening 62 for viahole formation between layers is formed (refer to drawing 3 (L)). Next, after making the surface of this resin insulating layer 60 between layers, and the side 62a of the opening 62 into a split face, the non-electrolytic copper plating film 64 is formed in the surface of this this substrate 30 that carried out the surface roughening process (refer to drawing 4 (M)). Then, after forming the plating resist 66 on the non-electrolytic copper plating film 64, the electrolytic copper plating film 68 is formed in a resist agensis portion (refer to drawing 4 (N)). And after carrying out the strip of the plating resist 66, dissolution removal of the electroless plating film 64 under the plating resist 66 is carried out, and the upper viahole 70 and the conductor circuit 72 are formed (refer to drawing 4 (O)). In the manufacturing method of this embodiment, electrolysis plating is performed so that it may become depressed in the center section of the electrolytic copper plating 68 of the part which forms the viahole 70 and 70a may be made. The roughened layer 78 is formed in the surface of this upper viahole 70 and the conductor circuit 72, and a package substrate is completed (refer to drawing 5 (P)). Here, the roughened layer 78 is formed at right angles to this curved surface to the curved surface of the hollow 70a of the center of the viahole 70.

[0036]In this embodiment, the ratio of the diameter of a viahole (the opening diameter of the opening

62: 67 micrometers) and the thickness (20 micrometers) of the resin insulating layer 60 between **** of the outermost layer is set as 3.35. Here, to the opening diameter of the opening 62, depth is too deep, in this opening 62, plating liquid fully turns, and does not put [the ratio of the diameter of a viahole and the thickness of the resin insulating layer between **** sets like the above-mentioned plater or less by one,], and it cannot plate efficiently. on the other hand, the diameter:layer of a viahole — since the opening diameter of the opening which forms a viahole is too large to depth when the ratio of the thickness of the resin insulating layer between layers exceeds 4, a hollow cannot be formed in the center section of the viahole. for this reason, the diameter:layer of a viahole — the ratio of the thickness of the resin insulating layer between layers exceeds 1, and it is desirable that it is four or less.

[0037]20 micrometers or less are preferred for the thickness of the conducting circuit 72, and it is desirable that it is 40 micrometers or less. This is because resolution falls and it is hard to constitute desired shape, if the thickness of plating resist formed in this optical target exceeds 40 micrometers, although the thickness of a conducting circuit is decided by thickness of the plating resist 66 mentioned above.

[0038](11) Form a solder vamp in the package substrate mentioned above succeedingly. First, adjustment of the soldering resist composition for solder vamps is explained. Oligomer (molecular weight 4000) of the photosensitive grant which acrylic-ized here 50% of the epoxy group of 80% of the weight of the cresol novolak type epoxy resin (made by Nippon Kayaku) in which DMDG was dissolved 46.67 g, 80% of the weight of the bisphenol A type epoxy resin (the product made from oil recovery shell.) in which methyl ethyl ketone was dissolved Epicoat 1001 15.0g and an imidazole hardening agent (made in Shikoku Chemicals.) trade name: — the multivalent acrylic monomer (the Nippon Kayaku make.) which are 2E4 MZ-CN 1.6g and a photosensitive monomer trade name: — R6043g — the same — a multivalent acrylic monomer (the product made from the Kyoisha chemicals.) Trade name : Six A1.5 g of DPEs and 0.71 g of dispersed system defoaming agents (the Sannopuko make, trade name:S-65) are mixed, The soldering resist composition which furthermore adjusted [the benzophenone (made by Kanto Kagaku) as a photoinitiator] 0.2g, in addition viscosity for the Michler's ketone (made by Kanto Kagaku) as 2 g and a photosensitizer to 2.0 Pa·s at 25 ** to this mixture is obtained. In the case of 60 rpm, in the case of rotor No.4 and 6 rpm, measurement of viscosity was based on rotor No.3 by the Brookfield viscometer (Tokyo Keiki, DVL-B type).

[0039](12) Apply a soldering resist composition to a substrate by a thickness of 20 micrometers. Subsequently, after carrying out for 20 minutes at 70 ** and performing the drying process for 30 minutes at 70 **, a DMTG development is exposed and carried out by the ultraviolet rays of 1000 mJ/cm², and the solder resist layer 80 in which the pad section 81 carried out the opening is obtained (refer to drawing 5 (Q)). The opening diameter of the pad section 81 of a 133-micrometer and undersurface side is [upper surface side] 600 micrometers.

[0040](13) Next, the substrate 30 in which the solder resist layer 80 was formed is immersed in the electroless nickel plating liquid of pH=5 which consists of 30 g/l of nickel chloride, 10 g/l of sodium hypophosphite, and 10 g/l of sodium acid citrate for 20 minutes, The 5-micrometer-thick nickel plating layer 82 is formed in the pad section (opening) 81 (refer to drawing 5 (R)). The substrate 30 is immersed in the unelectrolyzed gold plating liquid which consists of 2 g/l of gold cyanide potassium, 75 g/l of ammonium chloride, 50 g/l of sodium acid citrate, and 10 g/l of sodium hypophosphite for 23 seconds on 93 ** conditions, The 0.03-micrometer-thick gold plating layer 84 is deposited on the nickel plating layer 82, the soldering pads 86U 133 micrometers in diameter are formed in the upper surface, and the soldering pads 86D 600 micrometers in diameter are formed in the undersurface.

[0041](14) The metal mask 98 with the opening 98a 40 micrometers in thickness and 160 micrometers in diameter is laid, To the upper surface side soldering pads 86U in the opening 81 of the solder resist layer 80, soldering paste with a mean particle diameter of 20 micrometers is printed (refer to drawing 6 (S)), and soldering paste is similarly printed to them at the soldering pads 86D by the side of the undersurface. In the presswork of this soldering paste, since the viahole 70 top should just also print tales doses of soldering paste to the conductor circuit 72 top, all the paths of the opening 98a of the metal mask 98 can be formed equally. For this reason, as compared with the metal mask 198 provided with the openings 198a and 198b of two or more sorts of diameters for carrying out the object for formation of the multilayer printed wiring board of the conventional technology mentioned above with reference to drawing 10 (B), the metal mask 98 of this embodiment can be

formed easily.

[0042]Following printing of soldering paste, a heating reflow of the substrate 30 is carried out at 200 **, the solder bump 88U 133 micrometers in diameter is formed in the upper surface side soldering pads 86U, the solder bump 88D 600 micrometers in diameter is formed in the undersurface side soldering pads 86D, and a solder bump's formation is completed (refer to drawing 6 (T)). Then, a surface activity material solution washes the surface of the multilayer printed wiring board 10, and the flux which oozed from soldering paste on the occasion of the above-mentioned reflow is flushed.

[0043]In the multilayer printed wiring board 310 of the conventional technology mentioned above with reference to drawing 10 (C) on the occasion of flux washing, In order to insert much soldering paste into the viahole 170, there were many amounts of flux which come out of the solder bump formed in the viahole 170, and it was difficult to wash flux thoroughly. On the other hand, in the multilayer printed wiring board 10 of this embodiment, since only a little soldering paste is printed on the viahole 70 as well as the conductor circuit 72 top, flux can be flushed thoroughly.

[0044]On the occasion of a reflow of 200 degreeC, the multilayer printed wiring board 310 of conventional technology curved greatly, and the mounting accuracy of the IC chip fell. On the other hand, as for the multilayer printed wiring board 10 of this embodiment, the curvature in the case of a reflow became small. As this reason, the multilayer printed wiring board 310 of conventional technology, The viahole 70 fills up the copper plating 68 with this embodiment to this viahole itself changing, since the viahole 170 has become in midair, and sake, it is surmised that it is for viahole 70 the very thing not to change with heat.

[0045]By laying IC chip 90 in this multilayer printed wiring board 10 so that the soldering pads 92 of IC chip 90 may correspond to the solder bump 88U of the multilayer printed wiring board side, and finally, carrying out a reflow to it with a heating furnace, IC chip 90 to the multilayer printed wiring board 10 is attached (refer to drawing 6 (U)). Then, a surface activity material solution is poured in between the multilayer printed wiring board 10 and IC chip 90, and the flux which oozed from soldering paste on the occasion of the above-mentioned reflow is flushed.

[0046]In order to have to pour a surfactant solution into the narrow space between the multilayer printed wiring board 10 and an IC chip in the case of flux washing, In the multilayer printed wiring board 310 of the conventional technology mentioned above with reference to drawing 10 (D), it was difficult to wash thoroughly a solder bump's flux formed in the viahole 170. On the other hand, in the multilayer printed wiring board 10 of this embodiment, since only a little soldering paste is printed on the viahole 70 as well as the conductor circuit 72 top, flux can be flushed thoroughly.

[0047]After pouring resin into the space between this multilayer printed wiring board 10 and an IC chip after the process of this reflow and carrying out the resin seal of the space concerned, the resin molding of the IC chip 90 whole is covered and carried out by resin (not shown). Then, the multilayer printed wiring board which laid IC chip 90 is attached to the mother board 95 (refer to drawing 6 (U)).

[0048]Drawing 8 shows the multilayer printed wiring board 110 concerning a 2nd embodiment of this invention. In the multilayer printed wiring board of a 1st embodiment mentioned above with reference to drawing 7, it filled up with copper plating also about the lower layer viahole 40 formed not only in the upper viahole 70 in which a solder bump is formed but in the resin insulating layer 40 between lower layer layers. On the other hand, as for the lower layer viahole 50, in the multilayer printed wiring board of a 2nd embodiment, the inside is filled up with resin like the conventional technology mentioned above with reference to drawing 10. It becomes depressed in the center and the surface of the upper viahole 70 of a 2nd embodiment is smoothly formed in the upper viahole 70 of a 1st embodiment to 70a having been formed. By a 2nd embodiment, the platinum plating layer 84 is formed to the gold plating layer 84 having been formed in the upper surface of the upper viahole 70 and the conductor circuit 72 as a precious-metals layer in a 1st embodiment. This 2nd embodiment as well as a 1st embodiment can improve the solder bumps' 88U and 88D connection reliability.

[0049]Drawing 9 shows the multilayer printed wiring board 210 concerning a 3rd embodiment of this invention. In the multilayer printed wiring board of a 1st embodiment mentioned above with reference to drawing 7, the solder bumps 88U and 88D are formed in the conductor circuit 72 and the upper viahole 70. On the other hand, in the multilayer printed wiring board of a 3rd embodiment, the solder bumps 88U and 88D are formed in the upper viahole 70. Also in the multilayer printed wiring board 210 of this 3rd embodiment, roughening treatment of the side 62a of the opening 62 of the resin insulating layer 60 between the upper layers is carried out like a 1st embodiment, and roughening

treatment of the surface of the viahole 72 and the conductor circuit 70 is carried out. The nickel plating layer 82 and the gold plating layer 84 are formed in the surface of the viahole 72, and the solder bump is formed on this gold plating layer 84. [0050] This 3rd embodiment as well as a 1st embodiment has made all the height of the surface of the viahole 70 equal by filling up the opening 62 of the resin insulating layer 60 between layers with the electrolytic copper plating film (metal) 68. Therefore, all of the solder bumps' 88U and 88D height formed in the viahole 70 concerned can be made equal by printing soldering paste. For this reason, it becomes possible to improve the solder bumps' 88U and 88D connection reliability.

[0051] Although the package substrate formed with a semiadditive process was illustrated in the embodiment mentioned above, the composition of this invention can be applied also to the package substrate formed with a fully-additive process. At the embodiment mentioned above, although the package substrate was mentioned as the example as a multilayer printed wiring board, it cannot be overemphasized that the composition of this invention can be applied suitably for multilayer printed wiring boards other than a package substrate.

[0052]

[Effect of the Invention] As explained above, in the multilayer printed wiring board of claim 1, the height of the surface of a viahole is made equal to the height of the conductor circuit in which a solder bump is formed by filling up an opening with plating. For this reason, since the height of the solder bump formed in the viahole concerned and the solder bump formed in a conductor circuit can be made equal by printing soldering paste to a viahole and a conductor circuit, it becomes possible to improve a solder bump's connection reliability.

[0053] In the multilayer printed wiring board of claim 2, all the height of the surface of a viahole is made equal by filling up an opening with metal. Therefore, all a solder bump's height formed in the viahole concerned can be made equal by printing soldering paste. For this reason, it becomes possible to improve a solder bump's connection reliability.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]Drawing 1 (A), drawing 1 (B), drawing 1 (C), and drawing 1 (D) are the figures showing the manufacturing process of the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 2]Drawing 2 (E), drawing 2 (F), drawing 2 (G), and drawing 2 (H) are the figures showing the manufacturing process of the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 3]Drawing 3 (I), drawing 3 (J), drawing 3 (K), and drawing 3 (L) are the figures showing the manufacturing process of the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 4]Drawing 4 (M), drawing 4 (N), and drawing 4 (O) are the figures showing the manufacturing process of the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 5]Drawing 5 (P), drawing 5 (Q), and drawing 5 (R) are the figures showing the manufacturing process of the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 6]Drawing 6 (S), drawing 6 (T), and drawing 6 (U) are the sectional views showing the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 7]It is a sectional view showing the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 8]It is a sectional view showing the multilayer printed wiring board concerning a 2nd embodiment of this invention.

[Drawing 9]It is a sectional view showing the multilayer printed wiring board concerning a 3rd embodiment of this invention.

[Drawing 10]Drawing 10 (A), drawing 10 (B), drawing 10 (C), and drawing 10 (D) are the figures showing the manufacturing process of the multilayer printed wiring board concerning conventional technology.

[Description of Notations]

30 Core substrate

40 The resin insulating layer between layers

50 viaholes

52 Conductor circuit

60 The resin insulating layer between outermost layer layers

62 Opening

62a Side

68 Electrolytic copper plating film (metal)

70 The upper viahole

70a Hollow

72 Conductor circuit

80 Solder resist layer

84 Gilding

86U, 86D soldering pads

88U, 88D solder bump

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-251752

(43)公開日 平成11年(1999) 9月17日

(51)Int.Cl.⁴

H 0 5 K 3/46
3/34

識別記号

5 0 1

F I

H 0 5 K 3/46
3/34

N

5 0 1 D

審査請求 未請求 請求項の数6 O L (全 11 頁)

(21)出願番号 特願平10-367908

(22)出願日 平成10年(1998)12月24日

(31)優先権主張番号 特願平9-369244

(32)優先日 平9(1997)12月29日

(33)優先権主張国 日本 (J P)

(71)出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72)発明者 白井 誠二

岐阜県揖斐郡揖斐川町北方1-1 イビデ
ン株式会社大垣北工場内

(72)発明者 島田 憲一

岐阜県揖斐郡揖斐川町北方1-1 イビデ
ン株式会社大垣北工場内

(72)発明者 浅井 元雄

岐阜県揖斐郡揖斐川町北方1-1 イビデ
ン株式会社大垣北工場内

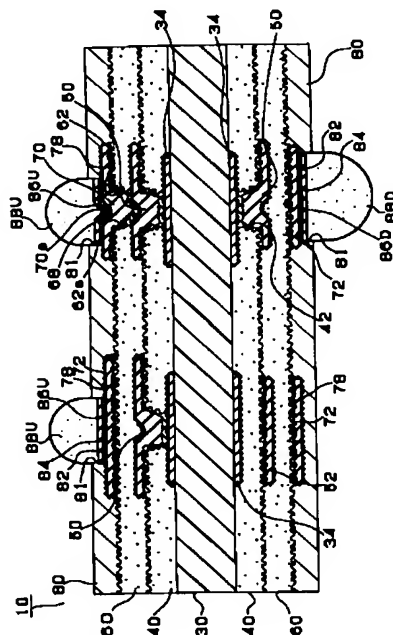
(74)代理人 弁理士 田下 明人 (外1名)

(54)【発明の名称】 多層プリント配線板

(57)【要約】

【課題】 半田パンプの接続信頼性に優れた多層プリン
ト配線板を提供する。

【解決手段】 最外層の層間樹脂絶縁層60の開口部6
2にめっきが充填されバイアホール70が形成されてお
り、バイアホール70の表面の高さが、半田パンプの形
成される導体回路72の高さと等しくなっている。この
ため、バイアホール70と導体回路72とに同量の半田
ペーストを印刷することで、当該バイアホール70に形
成される半田パンプ88Uと、導体回路72に形成され
る半田パンプ88Uとの高さを等しくすることができる。
従って、ICチップ90を載置する際に、該ICチ
ップの半田パッド92と、多層プリント配線板10の半
田パンプ88Uとの接続信頼性を高めることができる。



【特許請求の範囲】

【請求項1】 層間樹脂絶縁層と導体回路とを交互に積層してなる多層プリント配線板において、最外層の層間樹脂絶縁層上に配設された導体回路上に形成された半田バンプと、該最外層の層間樹脂絶縁層に穿設された開口部に金属が充填されて成るバイアホール上に形成された半田バンプと、

を備えることを特徴とする多層プリント配線板。

【請求項2】 層間樹脂絶縁層と導体回路とを交互に積層してなる多層プリント配線板において、層間樹脂絶縁層に穿設された開口部に金属が充填されて成るバイアホール上に半田バンプが形成されてなることを特徴とする多層プリント配線板。

【請求項3】 前記バイアホールの中央部には、窪みが形成されていることを特徴とする請求項1又は2に記載の多層プリント配線板。

【請求項4】 前記層間樹脂絶縁層の開口部の側面が粗化処理されていることを特徴とする請求項1～3のいずれか1に記載の多層プリント配線板。

【請求項5】 前記バイアホール及び前記導体回路の表面が粗化処理されていることを特徴とする請求項1～4のいずれか1つに記載の多層プリント配線板。

【請求項6】 前記バイアホールの表面には、少なくとも表面に貴金属層を有する金属層が形成され、この貴金属層の上に半田バンプが形成されていることを特徴とする請求項1～4のいずれかに記載の多層プリント配線板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表面に半田バンプの配設される多層プリント配線板に関するものである。

【0002】

【従来の技術】パッケージ基板等のプリント配線板の表面には、載置されるICチップ等の電子部品と電気的に接続を取るために、半田バンプと呼ばれる半田の球状突起が配設される。この半田バンプは、基板表面の導体回路上に形成される他、集積度を高める等の目的から、バイアホールに直接形成されることがある。このバイアホールに半田バンプを形成する技術が、特開平8-335781号に開示されている。

【0003】このプリント配線板への半田バンプの形成について、図10を参照して説明する。図10(A)は、従来技術に係る多層プリント配線板310の断面を示している。該多層プリント配線板は、コア基板130の上層及び下層に複数の層間樹脂絶縁層140、160を介在させて導体回路134、152、172を形成してなる。最外層の層間樹脂絶縁層160には、バイアホール用の開口部162が穿設され、該開口部162には、銅メッキからなるバイアホール170が形成されて

いる。そして、該バイアホール170によって層間樹脂絶縁層160の下層の導体回路152との接続が取られている。最外層の層間樹脂絶縁層160には、所定径の開口181の穿設されためっきレジスト180が形成されている。

【0004】ここで、該多層プリント配線板310に半田バンプを形成する際には、図10(B)に示すように、多層プリント配線板310にメタルマスク198を載置し、めっきレジスト180の各開口181、181、181に半田ペーストを印刷する。ここで、該メタルマスク198には、めっきレジスト180の開口181の各位置に対応させて、開口198a、198bが形成されている。ここで、バイアホール170に対応させた開口198bは、相対的に大径に形成され、反対に、導体回路172に対応させた開口198aは、相対的に小径に形成されている。これにより、バイアホール170側へより多くの半田ペーストを印刷できるようにしてある。

【0005】半田ペーストを印刷した後、加熱炉に多層プリント配線板310を通過させることにより、半田ペーストをリフローし、図10(C)に示すように半田バンプ188を完成させる。その後、リフロー時に半田から流れ出したフラックスを洗浄する。そして、図10(D)に示すように多層プリント配線板310にICチップ190を、該ICチップ190の半田パッド192が多層プリント配線板310側の半田バンプ188と対応するように載置し、加熱炉を通過させることで該半田パッド188を溶融し、多層プリント配線板310とICチップ190との電気接続を取る。その後、リフロー時に半田から流れ出したフラックスを洗浄する。

【0006】

【発明が解決しようとする課題】しかしながら、上述した多層プリント配線板においては、ICチップとの接続が適正に取れないことがあった。即ち、図10(C)に示すように凹状のバイアホール170上に形成される半田バンプ188の高さh1と、平板状の導体回路172上に形成される半田バンプ188の高さh2とを同一にすることが困難なため、図10(D)に示すように、多層プリント配線板310側の半田パッド188のいずれかがICチップ190側の半田パッド192と適切に接続できないことがあった。

【0007】また、図10(B)を参照して上述したようにメタルマスクは、径の異なる開口198a、198bを、めっきレジスト180の開口181の各位置に対応させて穿設する必要があるため、調整が困難であった。更に、上述したように半田バンプを形成するために半田をリフローした後、及び、該半田バンプとICチップの半田パッドとの接続をリフローにより行った後に、半田から出たフラックスを洗浄する必要がある。しかし、バイアホール170内へ半田を充填させているた

め、半田の量が増大し滲み出るフラックスの量が多くなり、完全に洗浄することが難かった。このため、洗浄後もフラックスが残留し、配線の短絡等の原因となることがあった。また更に、上記リフローの際に、多層プリント配線板310に反りが発生し、ICチップ90との間の実装信頼性が低下することがあった。

【0008】本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、半田パンプの接続信頼性に優れた多層プリント配線板を提供することにある。

【0009】

【課題を解決するための手段】上述した目的を達成するため本発明は、層間樹脂絶縁層と導体回路とを交互に積層してなる多層プリント配線板において、最外層の層間樹脂絶縁層上に配設された導体回路上に形成された半田パンプと、該最外層の層間樹脂絶縁層に穿設された開口部に金属が充填されて成るバイアホール上に形成された半田パンプと、を備えることを技術的特徴とする。

【0010】本発明においては、開口部に金属（めっき）を充填することで、バイアホールの表面の高さを、半田パンプの形成される導体回路の高さと等しくしてある。従って、バイアホールと導体回路とに同量の半田ペーストを印刷することで、当該バイアホールに形成される半田パンプと、導体回路に形成される半田パンプとの高さを等しくすることができる。このため、半田パンプの接続信頼性を高めることができる。

【0011】上述した目的を達成するため本発明は、層間樹脂絶縁層と導体回路とを交互に積層してなる多層プリント配線板において、層間樹脂絶縁層に穿設された開口部に金属が充填されて成るバイアホール上に半田パン

プが形成されてなることを特徴とする多層プリント配線板。

【0012】本発明においては、開口部に金属を充填することで、バイアホールの表面の高さを全て等しくしてある。従って、半田ペーストを印刷することで、当該バイアホールに形成される半田パンプの高さを全て等しくすることができる。このため、半田パンプの接続信頼性を高めることができる。

【0013】本発明の好適な態様において、バイアホールの中央部に窪みが形成されているため、バイアホールと半田パンプとを強固に接続し、半田パンプの接続信頼性を高めることができる。このような窪みとしては、導体回路の厚み範囲（即ち、窪みが開口部に達しない範囲）であることが望ましく、具体的には、0.5～30μmである。

【0014】本発明の好適な態様においては、層間樹脂絶縁層の開口部の側面が粗化処理されているため、該開口部内に形成されるバイアホールとの密着性を高めることができる。

【0015】本発明の好適な態様においては、バイアホ

ール及び導体回路の表面が粗化処理されているため、該バイアホール及び導体回路の上に形成した半田パンプとの間の密着性を高めることができる。

【0016】本発明の好適な態様においては、めっきを充填してなるバイアホール表面に、貴金属を介して半田パンプが形成されているため、銅等からなるバイアホール表面と半田パンプとの間に、酸化被膜が形成されず、バイアホールと半田パンプとの密着性を高めることができる。

10 【0017】

【発明の実施の形態】本発明の第1実施形態に係る多層プリント配線板の構成について図6（U）及び図7を参照して説明する。図7は、多層プリント配線板の断面を示し、図6（U）は、該多層プリント配線板10にICチップ90を取り付け、マザーボード95側に載置した状態を示している。図6（U）中に示す多層プリント配線板10は、上面にICチップ90のパンプ92側に接続するための半田パンプ88Uが設けられ、下面側にマザーボード95のパンプ96に接続するための半田パンプ88Dが配設され、該ICチップ90－マザーボード95間の信号等の受け渡しの役割を果たすパッケージ基板として構成されている。

20

【0018】図7に示すように多層プリント配線板10のコア基板30の上面側上層及び下面側上層（ここで、上層とは基板30を中心として上面については上側を、基板の下面については下側を意味する）には、グランド層となる内層銅パターン34、34が形成されている。また、内層銅パターン34の上層には、下層層間樹脂絶縁層40を介在させて信号線を形成する導体回路52、又、該層間樹脂絶縁層40を貫通して下層バイアホール50が形成されている。下層バイアホール50及び導体回路52の上層には、最外層層間樹脂絶縁層60を介して最外層の導体回路72、及び該最外層層間樹脂絶縁層60に形成された開口部62に銅めっきを充填してなる上層バイアホール70が形成されている。

30

【0019】上面側の該導体回路72、上層バイアホール70には、半田パンプ88Uを支持する半田パッド86Uが形成されている。ここで、ICチップ側の半田パッド86Uは、直径133μmに形成されている。他方、下面側の該導体回路72、上層バイアホール（図示せず）には半田パンプ88Dを支持する半田パッド86Dが形成されている。ここで、マザーボード側の半田パッド86Dは、直径600μmに形成されている。該半田パンプ88U、88Dは、ソルダーレジスト80の開口（パッド部）81に形成されている。

40

【0020】第1実施形態の多層プリント配線板においては、最外層の層間樹脂絶縁層60の開口部62にめっきが充填されバイアホール70が形成されている。このためバイアホール70が、図10（A）を参照して上述した従来技術に係る多層プリント配線板の凹状バイアホ

50

ール170と異なり、表面の高さが、半田バンプの形成される導体回路72の高さと等しくなっている。このため、後述するようにバイアホール70と導体回路72とに同量の半田ペーストを印刷することで、当該バイアホール70に形成される半田バンプ88Uと、導体回路72に形成される半田バンプ88Uとの高さを等しくすることができる。このため、図6(U)に示すように、ICチップ90を載置する際に、該ICチップの半田パッド92と、多層プリント配線板10の半田バンプ88Uとの接続信頼性を高めることができる。

【0021】更に、バイアホール70の中央部に深さ10μmの窪み70aが形成されているため、バイアホール70と半田バンプ88Uとの接続信頼性を高めることができる。特に、該窪み70aの曲面に対して垂直に粗化層78が設けられているため、ICチップ90の温度上昇に伴う、バイアホール70と半田バンプ88との間に加わる応力に対して両者を強固に接続し、バイアホール70と半田バンプ88Uとの接続信頼性を高めることができる。ここで、窪み70aの深さは、上層層間樹脂絶縁層60に穿設された開口部62には至らず、導体回路の厚さ範囲である。従って、0.5〜15μmの範囲である。一方、最外層層間樹脂絶縁層60の開口部62の側面62aは、図中に示すように粗化处理されているため、該開口部62内に形成されるバイアホール70との密着性を高めることができる。

【0022】銅からなるバイアホール70と、該バイアホール70の形成された樹脂からなる最外層層間樹脂絶縁層60との間には、両者の熱膨張率の違いから熱収縮の際に大きな応力が加わる。このため、該多層プリント配線板10においては、最外層層間樹脂絶縁層60に、靱性の高い熱可塑性樹脂と熱硬化性樹脂の複合体を用いることで、該応力によるクラックの発生を防止している。ここでは、熱可塑性樹脂と熱硬化性樹脂の複合体を用いているが、この代わりに靱性の高いフッ素樹脂等の熱可塑性樹脂を主に用いて最外層層間樹脂絶縁層60を形成することも可能である。

【0023】更に、導体回路72の表面は粗化处理され、粗化層78が形成されているため、導体回路72上に形成される半田バンプ88Uとの間の密着性を高めることができる。また、銅めっきを充填してなるバイアホール70及び銅めっきがら成る導体回路72の表面に、ニッケルめっき層82及び金めっき層(貴金属層)84を形成し、該金めっき層84を介して半田バンプ88Uが形成されているため、銅等からなるバイアホール70、導体回路72表面と半田バンプ88Uとの間に、酸化被膜が形成されず、バイアホール及び導体回路と半田バンプとの密着性を高めることができる。更に、ソルダーレジスト80は、バイアホール70及び導体回路72を、半田パッド86U形成部を除き覆っているため、該ソルダーレジスト80がバイアホール70及び導体回路

72を保護し、基板全体の強度を高めている。なお、上述した説明では、多層プリント配線板10の上面側の半田バンプ88Uについて説明したが、下側の半田バンプ88Dについても、同様に形成されている。

【0024】引き続き、図7に示すパッケージ基板の製造工程について図1〜図6を参照して説明する。

(1) 厚さ1mmのBT(ビスマレイミドトリアジン)樹脂またはガラスエポキシ樹脂からなるコア基板30の両面に18μmの銅箔32がラミネートされている銅張積層板30Aを出発材料とする(図1(A)参照)。まず、この銅張積層板30Aをパターン状にエッチングすることにより、基板30の両面に内層銅パターン(導体回路)34を形成する(図1(B)参照)。

【0025】さらに、内層銅パターン34を形成した基板30を、水洗いして乾燥した後、硫酸銅8g/l、硫酸ニッケル0.6g/l、クエン酸15g/l、次亜リン酸ナトリウム29g/l、ホウ酸31g/l、界面活性剤0.1g/lからなるpH=9の無電解めっき液に浸漬し、該内層銅パターン34の表面に厚さ3μmの銅-ニッケル-リンからなる粗化層38を形成する(図1(C)参照)。その基板30を水洗いし、0.1mol/lホウふっ化スズ-1.0mol/lチオ尿素液からなる無電解スズ置換めっき浴に50℃で1時間浸漬し、粗化層表面に0.3μmのスズ層(図示せず)を設ける。

【0026】(2) ここで、層間樹脂絶縁層を形成する無電解めっき用接着剤を用意する。ここでは、

①クレゾールノボラック型エポキシ樹脂(日本化薬製:分子量2500)の25%アクリル化物を35重量部(固形分80%)、感光性モノマー(東亜合成製:商品名アロニックスM315)4重量部、消泡剤(サンノブコ製 S-65)0.5重量部、NMPを3.6重量部を攪拌混合する。

②熱可塑性樹脂としてポリエーテルスルホン(PES)8重量部、熱硬化性樹脂としてエポキシ樹脂粒子(三洋化成製商品名 ポリマーボール)の平均粒径0.5μmのものを7.245重量部、を混合した後、さらにNMP20重量部を添加し攪拌混合する。

③イミダゾール硬化剤(四国化成製:商品名2E4MZ-CN)2重量部、光開始剤(チバガイギー製イルガキユア-907)2重量部、光増感剤(日本化薬製:DET-X-S)0.2重量部、NMP1.5重量部を攪拌混合する。

①から③を混合攪拌して無電解めっき用接着剤を得る。

【0027】(3) (1)の無電解めっき用接着剤を(2)の基板30にロールコートで塗布し、水平状態で20分間放置してから、60℃で30分の乾燥(プリベーク)を行い、層間樹脂絶縁層40を形成する(図1(D)参照)。

【0028】下層層間樹脂絶縁層40を形成した基板3

0の両面に、所定径の黒円が印刷されたフォトマスクフィルムを密着させ、超高圧水銀灯により500mJ/cm²で露光する。これをDMDG溶液でスプレー現像し、さらに、当該基板を超高圧水銀灯により3000mJ/cm²で露光し、100℃で1時間、その後150℃で5時間の加熱処理（ポストバーク）をすることにより、フォトマスクフィルムに相当する寸法精度に優れた60μmφの開口（バイアホール形成用開口部42：底部61μm、上部67μm）を有する厚さ20μmの層間樹脂絶縁層40を形成する（図2（E）参照）。

【0029】（4）開口部42が形成された基板30を、クロム酸に2分間浸漬し、層間樹脂絶縁層40の表面のエポキシ樹脂粒子を溶解除去することにより、該層間樹脂絶縁層40の表面に深さ4μm粗化面を形成する。この粗化面は、開口部42内部の側面42aに対しても同様に形成される（図2（F）参照）。その後、中和溶液（シブレイ社製）に浸漬してから水洗いする。さらに、粗面化処理した該基板の表面に、パラジウム触媒（アトテック製）を付与することにより、層間樹脂絶縁層40の表面およびバイアホール用開口部42の内壁面に触媒核を付ける。

*

液条件：硫酸銅・5水和物 60g/l
硫酸 190g/l
塩素イオン 40ppm
レベリング剤（アトテック製 HL）40ml/l
光沢剤 （アトテック製 UV）0.5ml/l

操作条件：バブリング 3.00l/分 電流密度 0.5A/dm²
設定電流値 0.18A めっき時間100分

この実施形態では、めっきにより充填を行ったが、めっきの代わりに、導電性ペーストを充填することもできる。導電性ペーストとしては、タッタ電線製DDペースト（AE16001）などが挙げられる。

【0033】（8）めっきレジスト46を5%KOHで剥離除去した後、そのめっきレジスト46下の無電解めっき膜44を硫酸と過酸化水素の混合液でエッチング処理して溶解除去し、無電解めっき膜44と電解銅めっき膜48からなる厚さ約15μmの導体回路52及びバイアホール50を形成する（図3（J）参照）。

【0034】（9）引き続き、基板30の導体回路52及びバイアホール50に対して、上記（2）と同様に粗化層58を形成する（図3（K）参照）。

【0035】（10）上記（2）～（8）の工程を繰り返すことにより、さらに上層の導体回路を形成する。即ち、基板30の両面に、無電解めっき用接着剤を塗布し、水平状態で放置してから乾燥を行い、その後、フォトマスクフィルムを密着させ、露光・現像し、バイアホール形成用開口62を有する厚さ20μmの層間樹脂絶縁層60を形成する（図3（L）参照）。次に、該層間樹脂絶縁層60の表面及び開口部62の側面62aを粗面とした後、該粗面化処理した該基板30の表面に、無

*【0030】（5）以下の組成の無電解銅めっき浴中に基板を浸漬して、粗面全体に厚さ0.6μmの無電解銅めっき膜44を形成する（図2（G）参照）。

〔無電解めっき液〕

EDTA 150 g/l
硫酸銅 20 g/l
HCHO 30ml/l
NaOH 40 g/l
α、α'-ピピリジル 80 mg/l
PEG 0.1 g/l

【0031】（6）上記（5）で形成した無電解銅めっき膜44上に市販の感光性ドライフィルムを張り付け、マスクを載置して、100mJ/cm²で露光、0.8%炭酸ナトリウムで現像処理し、厚さ15μmで、L/S=25/25μmのめっきレジスト46を設ける（図2（H）参照）。

【0032】（7）ついで、レジスト非形成部分に以下の条件で電解銅めっきを施し、厚さ20μmの電解銅めっき膜48を析出し、該めっき膜により開口部42内を充填する（図3（I）参照）。

電解銅めっき膜64を形成する（図4（M）参照）。引き続き、無電解銅めっき膜64上にめっきレジスト66を設けた後、レジスト非形成部分に電解銅めっき膜68を形成する（図4（N）参照）。そして、めっきレジスト66を剥離除去した後、そのめっきレジスト66下の無電解めっき膜64を溶解除去し上層バイアホール70及び導体回路72を形成する（図4（O）参照）。本実施形態の製造方法では、バイアホール70を形成する部位の電解銅めっき68の中央部に窪み70aができるように電解めっきを行う。さらに、該上層バイアホール70及び導体回路72の表面に粗化層78を形成し、パッケージ基板を完成する（図5（P）参照）。ここで、粗化層78は、バイアホール70の中央の窪み70aの曲面に対しては、該曲面に垂直に形成される。

【0036】なお、本実施形態では、バイアホール径（開口部62の開口径：67μm）と最外層の層間樹脂絶縁層60の厚み（20μm）との比が、3.35に設定してある。ここで、バイアホール径と層間樹脂絶縁層の厚みとの比が1以下では、上記めっき工程において、開口部62の開口径に対して深みが深過ぎて、めっき液が該開口部62内に十分に回り込まず、効率的にめっきを行い得ない。他方、バイアホール径：層間樹脂

絶縁層の厚みの比が4を越えると、バイアホールを形成する開口部の開口径が深みに対して広すぎるため、バイアホールの中央部に窪みを形成することができない。このため、バイアホール径：層間樹脂絶縁層の厚みの比は、1を越え4以下であることが望ましい。

【0037】また、導電回路72の厚みは20 μ m以下が好適で、40 μ m以下であることが望ましい。これは、導電回路の厚みは、上述しためっきレジスト66の厚みにより決まるが、該光学的に形成されるめっきレジストの厚みが40 μ mを越えるようにすると、解像度が低下して所望の形状が構成し難いからである。

【0038】(11)引き続き、上述したパッケージ基板にはんだバンプを形成する。先ず、はんだバンプ用のソルダーレジスト組成物の調整について説明する。ここでは、DMDGに溶解させた80重量%のクレゾールノボラック型エポキシ樹脂（日本化薬製）のエポキシ基50%をアクリル化した感光性付与のオリゴマー（分子量4000）を46.67g、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂（油化シェル製、エピコート1001）15.0g、イミダゾール硬化剤（四国化成製、商品名：2E4MZ-CN）1.6g、感光性モノマーである多価アクリルモノマー（日本化薬製、商品名：R604）3g、同じく多価アクリルモノマー（共栄社化学製、商品名：DPE6A）1.5g、分散系消泡剤（サンノブコ社製、商品名：S-65）0.71gを混合し、さらにこの混合物に対して光開始剤としてのベンゾフェノン（関東化学製）を2g、光増感剤としてのミヒラケトン（関東化学製）を0.2g加えて、粘度を25℃で2.0Pa・sに調整したソルダーレジスト組成物を得る。なお、粘度測定は、B型粘度計（東京計器、DVL-B型）で60rpmの場合はローターNo. 4、6rpmの場合はローターNo. 3によった。

【0039】(12)基板にソルダーレジスト組成物を20 μ mの厚さで塗布する。次いで、70℃で20分間、70℃で30分間の乾燥処理を行った後、1000mJ/cm²の紫外線で露光し、DMTG現像処理し、パッド部81が開口したソルダーレジスト層80を得る（図5（Q）参照）。パッド部81の開口径は上面側133 μ m、下面側600 μ mである。

【0040】(13)次に、ソルダーレジスト層80を形成した基板30を、塩化ニッケル30g/l、次亜リン酸ナトリウム10g/l、クエン酸ナトリウム10g/lからなるpH=5の無電解ニッケルめっき液に20分間浸漬して、パッド部（開口部）81に厚さ5 μ mのニッケルめっき層82を形成する（図5（R）参照）。さらに、その基板30を、シアン化金カリウム2g/l、塩化アンモニウム75g/l、クエン酸ナトリウム50g/l、次亜リン酸ナトリウム10g/lからなる無電解金めっき液に93℃の条件で23秒間浸漬して、

ニッケルめっき層82上に厚さ0.03 μ mの金めっき層84を析出し、上面に直径133 μ mの半田パッド86Uを、下面に直径600 μ mの半田パッド86Dを形成する。

【0041】(14)厚さ40 μ m、直径160 μ mの開口98aを持つメタルマスク98を載置し、ソルダーレジスト層80の開口部81内の上面側半田パッド86Uに、平均粒子径20 μ mの半田ペーストを印刷し（図6（S）参照）、同様に下面側の半田パッド86Dに半田ペーストを印刷する。この半田ペーストの印刷工程において、バイアホール70上も、導体回路72上と同量の半田ペーストを印刷すればよい。このため、メタルマスク98の開口98aの径を全て等しく形成できる。このため、図10（B）を参照して上述した従来技術の多層プリント配線板を形成するための複数種の径の開口198a、198bを備えるメタルマスク198と比較して、本実施形態のメタルマスク98は容易に形成できる。

【0042】半田ペーストの印刷に続き、基板30を200℃で加熱リフローし、上面側半田パッド86Uに直径133 μ mの半田バンプ88Uを、下面側半田パッド86Dに直径600 μ mの半田バンプ88Dを設け、半田バンプの形成を完了する（図6（T）参照）。その後、多層プリント配線板10の表面を、界面活性材溶液にて洗浄し、上記リフローの際に半田ペーストから染み出たフラックスを洗い流す。

【0043】フラックス洗浄の際に、図10（C）を参照して上述した従来技術の多層プリント配線板310においては、バイアホール170内へ多くの半田ペーストを挿入するため、バイアホール170に形成された半田バンプから出るフラックス量が多く、完全にフラックスを洗浄することは難しかった。これに対して、本実施形態の多層プリント配線板10では、バイアホール70上にも、導体回路72上と同様に少量の半田ペーストしか印刷していないため、フラックスを完全に洗い流すことができる。

【0044】更に、200℃のリフローの際に、従来技術の多層プリント配線板310は、大きく反って、ICチップの実装精度が低下した。これに対して、本実施形態の多層プリント配線板10は、リフローの際の反りが小さくなった。この理由として、従来技術の多層プリント配線板310は、バイアホール170が中空になっているため、該バイアホール自体が変形するのに対して、本実施形態では、バイアホール70が銅めっき68を充填して成るため、バイアホール70自体が熱により変形することがないためであると推測される。

【0045】最後に、該多層プリント配線板10にICチップ90を、ICチップ90の半田パッド92が多層プリント配線板側の半田バンプ88Uに対応するように載置し、加熱炉でリフローすることにより、多層プリン

ト配線板10へのICチップ90の取り付けを行う(図6(U)参照)。その後、多層プリント配線板10とICチップ90との間に、界面活性材溶液を注入し、上記リフローの際に半田ペーストから染み出たフラックスを洗い流す。

【0046】フラックス洗浄の際に、多層プリント配線板10とICチップとの間の狭い空間に界面活性剤溶液を注入しなければならないため、図10(D)を参照して上述した従来技術の多層プリント配線板310においては、バイアホール170に形成された半田バンプのフラックスを完全に洗浄することは難しかった。これに対して、本実施形態の多層プリント配線板10では、バイアホール70上にも、導体回路72上と同様に少量の半田ペーストしか印刷していないため、フラックスを完全に洗い流すことができる。

【0047】このリフローの工程の後、該多層プリント配線板10とICチップとの間の空間に樹脂を注入して、当該空間を樹脂封止してから、ICチップ90全体を樹脂で覆い、樹脂モールドする(図示せず)。その後、ICチップ90を載置した多層プリント配線板をマザーボード95に取り付ける(図6(U)参照)。

【0048】図8は、本発明の第2実施形態に係る多層プリント配線板110を示している。図7を参照して上述した第1実施形態の多層プリント配線板においては、半田バンプの形成される上層バイアホール70のみならず、下層層間樹脂絶縁層40に形成される下層バイアホール40についても銅めっきが充填されていた。これに対して、第2実施形態の多層プリント配線板においては、下層バイアホール50は、図10を参照して上述した従来技術と同様に、内部に樹脂が充填されている。また、第1実施形態の上層バイアホール70には、中央に窪み70aが形成されていたのに対して、第2実施形態の上層バイアホール70の表面は平滑に形成されている。更に、第1実施形態では、上層バイアホール70及び導体回路72の上面に貴金属層として金めっき層84が設けられていたのに対して、第2実施形態では、白金めっき層84が形成されている。この第2実施形態でも、第1実施形態と同様に、半田バンプ88U、88Dの接続信頼性を高めることができる。

【0049】図9は、本発明の第3実施形態に係る多層プリント配線板210を示している。図7を参照して上述した第1実施形態の多層プリント配線板においては、導体回路72及び上層バイアホール70に半田バンプ88U、88Dが形成されている。これに対して、第3実施形態の多層プリント配線板では、上層バイアホール70に半田バンプ88U、88Dが形成されている。該第3実施形態の多層プリント配線板210においても、第1実施形態と同様に上層層間樹脂絶縁層60の開口部62の側面62aが粗化処理され、また、バイアホール72及び導体回路70の表面が粗化処理されている。更

に、バイアホール72の表面には、ニッケルめっき層82及び金めっき層84が形成され、この金めっき層84の上に半田バンプが形成されている

【0050】この第3実施形態でも、第1実施形態と同様に、層間樹脂絶縁層60の開口部62に電解銅めっき膜(金属)68を充填することで、バイアホール70の表面の高さを全て等しくしてある。従って、半田ペーストを印刷することで、当該バイアホール70に形成される半田バンプ88U、88Dの高さを全て等しくすることができる。このため、半田バンプ88U、88Dの接続信頼性を高めることが可能となる。

【0051】なお、上述した実施形態では、セミアディティブ法により形成するパッケージ基板を例示したが、本発明の構成は、フルアディティブ法により形成するパッケージ基板にも適用し得る。また、上述した実施形態では、多層プリント配線板としてパッケージ基板を例に挙げたが、本発明の構成をパッケージ基板以外の多層プリント配線板に好適に適用し得ることは言うまでもない。

【0052】

【発明の効果】以上説明したように請求項1の多層プリント配線板において、開口部にめっきを充填することで、バイアホールの表面の高さを、半田バンプの形成される導体回路の高さと等しくしてある。このため、バイアホールと導体回路とに同量の半田ペーストを印刷することで、当該バイアホールに形成される半田バンプと、導体回路に形成される半田バンプとの高さを等しくすることができるので、半田バンプの接続信頼性を高めることが可能となる。

【0053】また、請求項2の多層プリント配線板において、開口部に金属を充填することで、バイアホールの表面の高さを全て等しくしてある。従って、半田ペーストを印刷することで、当該バイアホールに形成される半田バンプの高さを全て等しくすることができる。このため、半田バンプの接続信頼性を高めることが可能となる。

【図面の簡単な説明】

【図1】図1(A)、図1(B)、図1(C)、図1(D)は、本発明の第1実施形態に係る多層プリント配線板の製造工程を示す図である。

【図2】図2(E)、図2(F)、図2(G)、図2(H)は、本発明の第1実施形態に係る多層プリント配線板の製造工程を示す図である。

【図3】図3(I)、図3(J)、図3(K)、図3(L)は、本発明の第1実施形態に係る多層プリント配線板の製造工程を示す図である。

【図4】図4(M)、図4(N)、図4(O)は、本発明の第1実施形態に係る多層プリント配線板の製造工程を示す図である。

【図5】図5(P)、図5(Q)、図5(R)は、本発

明の第1実施形態に係る多層プリント配線板の製造工程を示す図である。

【図6】図6(S)、図6(T)、図6(U)は、本発明の第1実施形態に係る多層プリント配線板を示す断面図である。

【図7】本発明の第1実施形態に係る多層プリント配線板を示す断面図である。

【図8】本発明の第2実施形態に係る多層プリント配線板を示す断面図である。

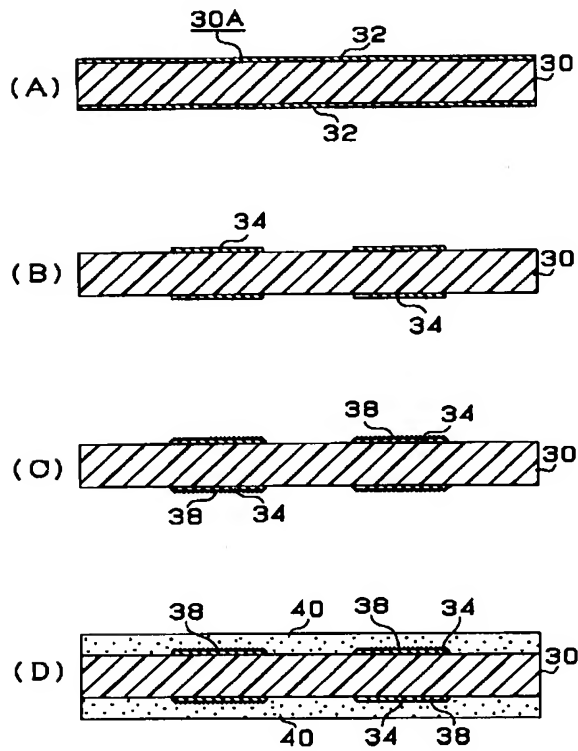
【図9】本発明の第3実施形態に係る多層プリント配線板を示す断面図である。

【図10】図10(A)、図10(B)、図10(C)、図10(D)は、従来技術に係る多層プリント配線板の製造工程を示す図である。

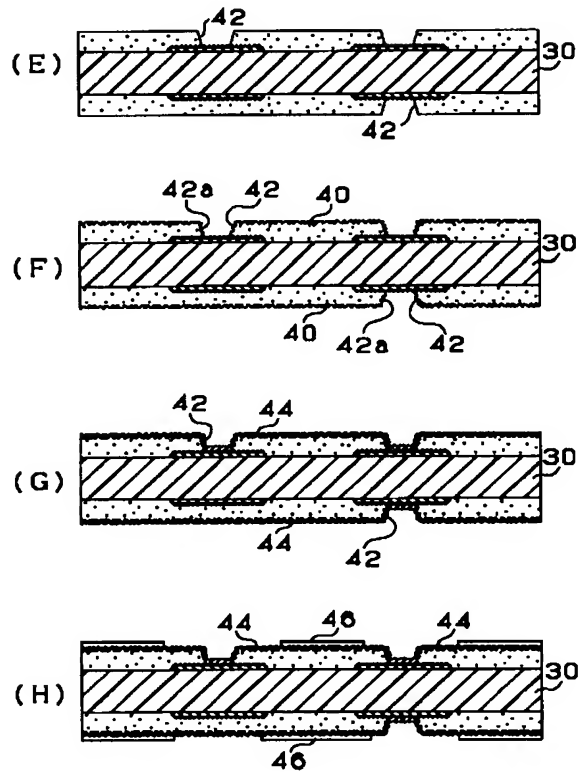
【符号の説明】

- * 30 コア基板
- 40 層間樹脂絶縁層
- 50 バイアホール
- 52 導体回路
- 60 最外層層間樹脂絶縁層
- 62 開口部
- 62a 側面
- 68 電解銅めっき膜(金属)
- 70 上層バイアホール
- 70a 窪み
- 72 導体回路
- 80 ソルダーレジスト層
- 84 金めっき
- 86U、86D 半田パッド
- * 88U、88D 半田バンプ

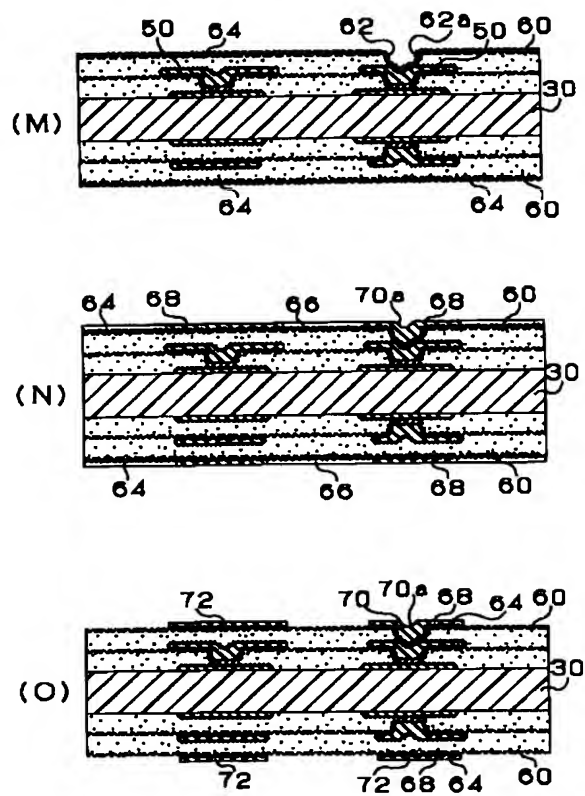
【図1】



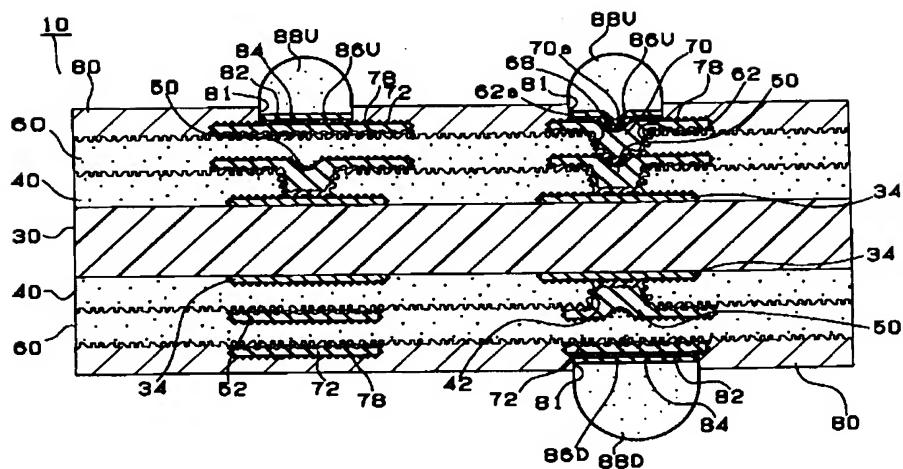
【図2】



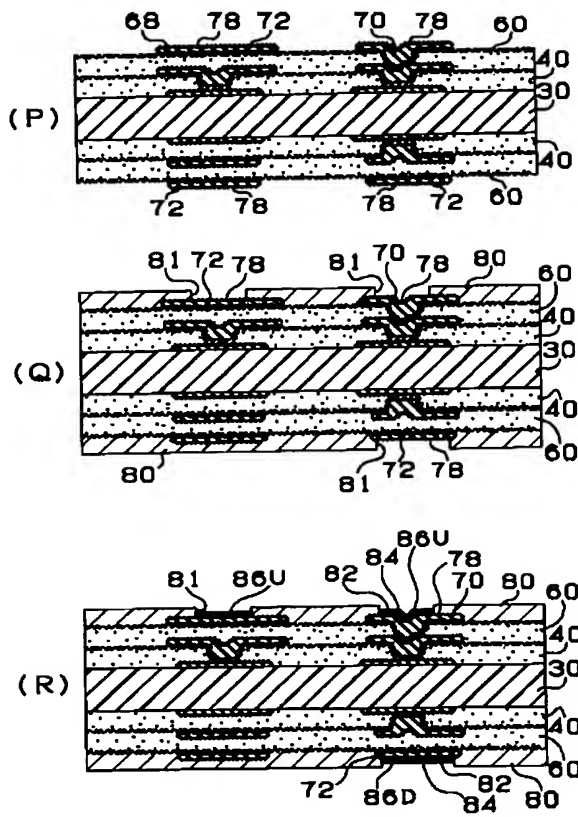
【图4】



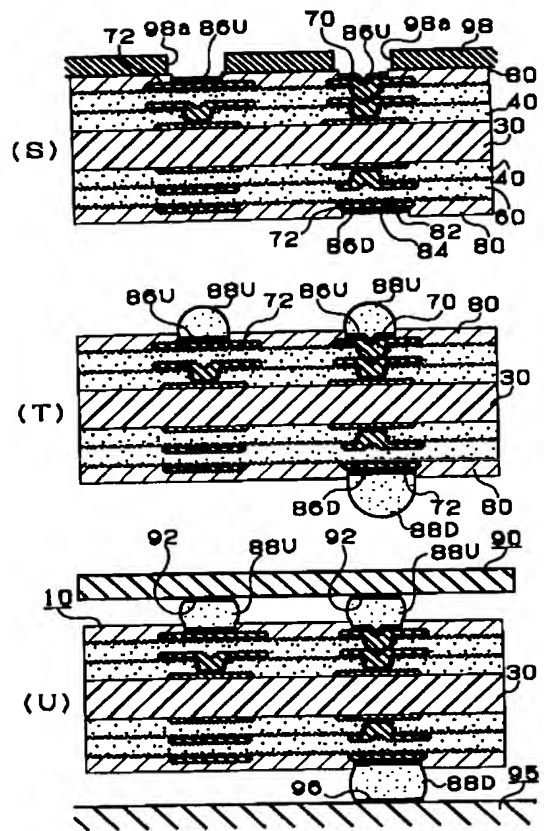
【图7】



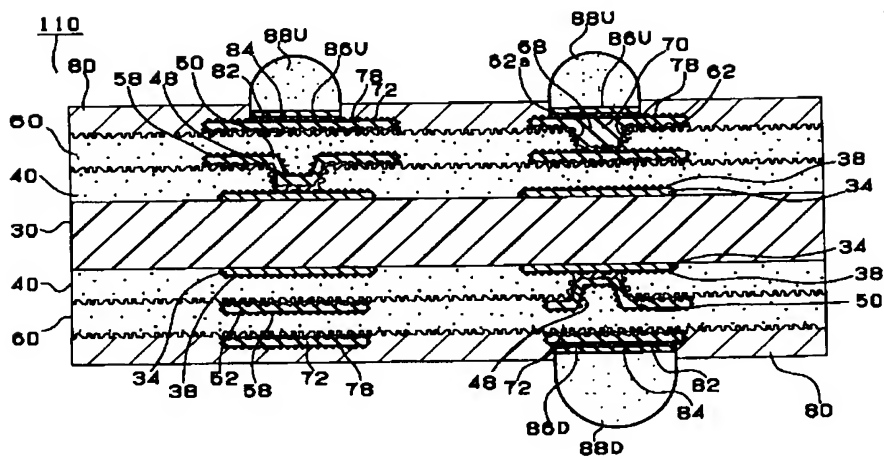
【図5】



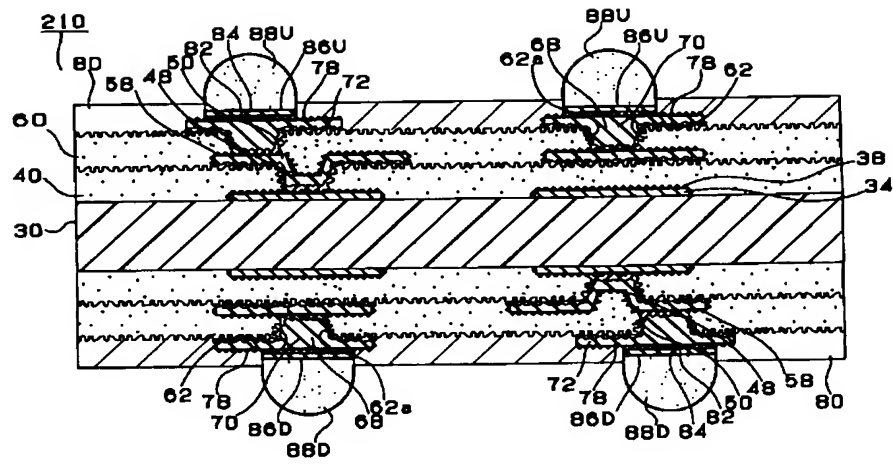
【図6】



【図8】



【図9】



【図10】

